

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

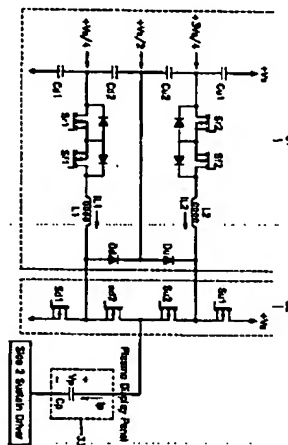
(11)Publication number: 1020030047533 A
(43)Date of publication of application: 18.06.2003(21)Application number: 1020010078181
(22)Date of filing: 11.12.2001(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: KIM, HYE JEONG
LEE, SANG HUN
NOH, JEONG UK

(51)Int. Cl. G09G 3/288

(54) APPARATUS AND METHOD FOR DRIVING HIGH EFFECTIVE PLASMA DISPLAY PANEL FOR IMPROVING VOLTAGE STRESS

(57) Abstract:

PURPOSE: An apparatus and a method for driving a high effective plasma display panel for improving voltage stress are provided to reduce the voltage stress by dividing a charging mode and a discharging mode into a pre-charging mode, a post-charging mode, a pre-discharging mode, and a post-discharging mode to form different resonant paths. **CONSTITUTION:** A sustain driving device of a high effective plasma display panel includes a sustain switching portion(32) and a power collection portion(31). The sustain switching portion connects the first and the second terminals of the power collection portion to a plasma display panel(33) in response to a predetermined sustain discharge sequence. The power collection portion divides a charging mode and a discharging mode into a pre-charging mode, a post-charging mode, a pre-discharging mode, and a post-discharging mode in response to a predetermined power collection sequence. The pre-charging mode, the post-charging mode, the pre-discharging mode, and the post-discharging mode are used for forming different resonant paths to charge and discharge the plasma display panel.



copyright KIPO 2003

Legal Status

Date of request for an examination (20011211)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20040218)

Patent registration number (1004253140000)

Date of registration (20040319)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

(19)대한민국특허청(KR) (12) 공개특허공보(A)

(51) . Int. Cl.⁷
G09G 3/288

(11) 공개번호 특2003-0047533
(43) 공개일자 2003년06월18일

(21) 출원번호 10-2001-0078181
(22) 출원일자 2001년12월11일

(71) 출원인 삼성전자주식회사
경기도 수원시 팔달구 매탄3동 416번지

(72) 발명자 노정욱
경기도용인시수지읍풍덕천리삼익아파트102동509호

김혜정
경기도수원시팔달구영통동1033-7번지201호

이상훈
서울특별시강남구일원동수서1단지116동101호

(74) 대리인 이영필
이해영

심사청구 : 있음

(54) 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널구동 장치 및 방법

요약

본 발명은 플라즈마 디스플레이 패널 구동 장치 및 방법에 관한 것으로서, 특히 디스플레이 패널 구동 장치를 구성하는 회로 소자들의 전압 스트레스들을 대폭 개선하여 소비전력 및 발열량을 향상시키기 위한 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널 구동 장치 및 방법에 관한 것이다.

본 발명에 의하면 서스테인 모드를 구성하는 충전 및 방전 모드를 세분화시킨 각각 제1충전 모드(pre-charging 모드)와 제2충전 모드(post-charging 모드) 및 제1방전 모드(pre-discharging 모드)와 제2방전 모드(post-discharging 모드)에서 쌍으로 서로 다른 인덕터를 경유하여 각각 상이한 공진 경로를 형성하도록 플라즈마 디스플레이 구동 회로를 설계함으로써, 종래의 기술에 비하여 회로 소자에 인가되는 전압 스트레스를 절반으로 줄일 수 있는 효과가 발생되며, 이로 인하여 고 성능 저가격의 반도체 소자를 이용할 수 있는 효과가 발생되며, 플라즈마 디스플레이 패널의 무효 전력 또한 절반으로 줄일 수 있는 효과가 발생된다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 종래의 기술에 의한 플라즈마 디스플레이 패널 구동 장치의 구성도이다.

도 2(a)-(j)는 도 1의 플라즈마 디스플레이 패널 구동 장치에 적용되는 각종 스위칭 제어 신호 및 패널의 전압/전류 파형을 도시한 것이다.

도 3은 본 발명의 의한 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치의 구성도이다.

도 4는 본 발명에 의한 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치를 적용한 플라즈마 디스플레이 패널 구동 시스템의 구성도이다.

도 5(a)-(j)는 도 4에 적용되는 각종 스위칭 제어 신호 및 패널의 전압/전류 파형을 도시한 것이다.

도 6a 내지 도 6h는 본 발명에 의한 스위칭 시퀀스에 따른 서스테인 구간에 실행되는 각종 모드에서의 전류 도통 경로를 도시한 것이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플라즈마 디스플레이 패널 구동 장치 및 방법에 관한 것으로서, 특히 디스플레이 패널 구동 장치를 구성하는 회로 소자들의 전압 스트레스들을 대폭 개선하여 소비전력 및 발열량을 향상시키기 위한 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널 구동 장치 및 방법에 관한 것이다.

일반적으로 플라즈마 디스플레이 패널(Plasma Display Panel ; PDP)은 기체 방전에 의해 생성된 플라즈마를 이용하여 문자 또는 영상을 표시하는 차세대 평판 디스플레이 장치로서, 플라즈마 디스플레이 패널은 크기에 따라 수십에서 수백만개 이상의 픽셀이 매트릭스(matrix)형태로 배열되어 있다.

도 1은 종래 기술에 해당되는 Webber에 의해 제안된 AC-PDP 유지 방전 회로의 구성도이다. AC-PDP의 경우 디스플레이 패널은 패널 캐패시턴스(capacitance) C_p 를 가지는 부하로 가정할 수 있다. 도 2(a)-(j)는 스위칭 시퀀스에 따른 각 스위치 제어신호 및 이에 따른 플라즈마 디스플레이 패널의 출력 전압 V_p 와 인덕터 L_c 에 흐르는 전류 I_L 의 파형을 나타낸다. AC-PDP 유지 방전 회로는 스위칭 시퀀스에 따라 다음과 같이 4개의 모드로 나타낼 수 있다.

1) 모드 1

MOSFET 스위치 S_{a1} 이 도통되기 직전에 S_{x2} 는 도통되어 있고 패널의 양단 전압 V_p 는 0V로 유지되어 있다. t_0 에서 S_{a1} 이 도통되면 모드 1의 동작이 시작된다. 이 구간 동안 $C_{c1}-S_{a1}-D_{a1}-L_1-C(\text{panel})$ 의 경로로 LC 공진회로가 형성되어, L_p 인덕터 터에 공진 전류가 흐르고 V_p 는 증가한다. t_1 에서 위쪽 인덕터의 전류는 0, V_p 는 $+V_{pk}$ 가 된다.

2) 모드 2

t_1 에서 S_{a1} 은 차단되고, S_{y1} 이 도통된다. 이 때 S_{y1} 의 양단 전압은 t_1 에서 V_{pk} 에서 만큼 스텝 변화를 가지게 되어 스위칭 손실이 발생된다. 모드 2 구간동안 V_p 는 $+V_s$ 로 유지하고 패널은 방전을 유지한다.

3) 모드 3

t_2 에서 S_{a2} 가 도통되고 S_{y1} 이 차단된다. 모드 3 구간동안 $C(\text{panel})-L_1-D_{a2}-S_{a2}-C_{c1}$ 의 경로로 LC 공진회로가 형성되어, L_p 인덕터에 공진 전류가 흐르고 V_p 는 감소한다. t_3 에서 아래쪽 인덕터의 전류는 0A, V_p 는 $-V_{pk}$ 가 된다.

4) 모드 4

t_3 에서 S_{a2} 는 차단되고 S_{y2} 가 도통된다. 이 때 S_{y2} 의 양단 전압은 t_3 에서 $-V_{pk}$ 이므로 스위칭 손실이 발생하게 된다. 모드 4 구간 동안 V_p 는 0V로 유지한다. t_0 에서 S_{x2} 가 차단되고, S_{b1} 이 도통되면 다른 반주기 동안 반복된다.

이와 같은 종래의 기술에 의한 AC-PDP 유지 방전 회로에서 반도체 소자들의 전압 스트레스를 살펴보면, 유지방전 MOSFET 스위치(Sy1, Sy2, Sx1, Sx2)의 전압 스트레스는 +Vs, 전력 회수부 MOSFET 스위치(Sa1, Sa2, Sb1, Sb2)의 전압 스트레스는 +Vs/2, 다이오드(Da1, Da2, Db1, Db2, Dc1, Dc2, Dc3, Dc4)의 전압 스트레스는 +Vs/2가 된다. 통상 PDP가 160~190V의 범위의 Vs 전압에서 동작함을 감안하면 가 필요 반도체 소자들은 가격이 비싸질 뿐만 아니라 소자의 기생 저항 및 기생 캐패 시턴스가 증가하여 PDP 구동회로에 있어서 소비전력의, 고주파 동작시 스위칭 손실의 증가 EMI 및 잡음 증가 등을 야기시키는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 상술한 문제점을 해결하기 위하여 플라스마 디스플레이 패널 구동 시스템에서 서스테인(sustain) 구간에서 실행되는 충전 및 방전 모드를 각각 2개의 충전 및 방전 모드로 세분화시키고, 세분화된 2개의 충전 모드 및 2개의 방전 모드는 쌍으로 상호 서로 다른 2개의 인덕터를 경유하여 공진 경로를 형성하도록 스위칭 제어되는 전압 스트레스를 개선한 고효율 플라스마 디스플레이 패널 구동 장치 및 방법을 제공하는데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여 본 발명에 의한 전압 스트레스를 개선한 고효율 플라스마 디스플레이 패널의 서스테인 구동 장치는 플라스마 디스플레이 패널 구동 시스템의 서스테인 구동 장치에 있어서, 소정의 유지 방전 시퀀스에 상응하여 전력 회수부의 제1,2단자를 플라스마 디스플레이 패널에 접속시키기 위한 서스테인 스위칭부 및 소정의 전력 회수 시퀀스에 상응하여, 서스테인 모드를 구성하는 충전 및 방전 모드를 각각 제1충전 모드와 제2충전 모드 및 제1방전 모드와 제2방전 모드로 세분화시키며, 상기 제1,2충전 모드 및 제1,2방전 모드는 각각 상이한 공진 경로를 형성하여 제1,2단자를 경유하여 상기 플라스마 디스플레이 패널을 충/방전시키기 위한 전력 회수부를 포함함을 특징으로 한다.

상기 다른 기술적 과제를 달성하기 위하여 본 발명에 의한 전압 스트레스를 개선한 고효율 플라스마 디스플레이 패널의 서스테인 구동 방법은 2개의 인덕터를 구비하는 전력 회수 회로를 포함하며, 리셋 구간, 어드레스 구간 및 서스테인 구간을 반복하는 스위칭 시퀀스를 갖는 플라스마 디스플레이 패널 구동 방법에 있어서, 상기 서스테인 구간에서 실행되는 충전 및 방전 모드를 각각 제1충전 모드와 제2충전 모드 및 제1방전 모드와 제2방전 모드로 세분화시키고, 상기 제1,2충전 모드는 서로 다른 인덕터를 경유하여 공진 경로를 형성하고, 제1,2방전 모드 또한 서로 다른 인덕터를 경유하여 각기 다른 공진 경로를 형성하여 상기 플라스마 디스플레이 패널을 충/방전시키도록 스위칭 시퀀스를 제어함을 특징으로 한다.

상기 또 다른 기술적 과제를 달성하기 위하여 본 발명에 의한 전압 스트레스를 개선한 고효율 플라스마 디스플레이 패널 구동 시스템은 리셋 구간, 어드레스 구간 및 서스테인 구간을 반복하는 스위칭 시퀀스에 의한 플라스마 디스플레이 패널 구동 시스템에 있어서, 서스테인 구간 동안에 상기 플라스마 디스플레이 패널의 Y전극에 고주파의 구형파 전압을 인가시키기 위하여 실행되는 충전 및 방전 모드를 각각 제1충전 모드와 제2충전 모드 및 제1방전 모드와 제2방전 모드로 세분화시키고, 상기 제1,2충전 모드는 서로 다른 인덕터를 경유하여 공진 경로를 형성하고, 제1,2방전 모드 또한 서로 다른 인덕터를 경유하여 각기 다른 공진 경로를 형성하여 상기 플라스마 디스플레이 패널의 Y전극을 충/방전시키도록 구동하는 Y전극 서스테인 구동 회로, 서스테인 구간과 어드레스 구간 및 리셋 구간의 회로 동작을 분리시키고, 리셋 구간 동안에 램프형 고압 전압을 인가시키기 위한 분리 및 리셋 회로, 어드레스 구간 동안 수평동기신호를 인가하고, 그 외의 구간에서는 단 락되는 스캔 펄스 발생회로 및 서스테인 구간 동안에 상기 플라스마 디스플레이 패널의 X전극에 고주파의 구형파 전압을 인가시키기 위하여 실행되는 충전 및 방전 모드를 각각 제1충전 모드와 제2충전 모드 및 제1방전 모드와 제2방전 모드로 세분화시키고, 상기 제1,2충전 모드는 서로 다른 인덕터를 경유하여 공진 경로를 형성하고, 제1,2방전 모드 또한 서로 다른 인덕터를 경유하여 각기 다른 공진 경로를 형성하여 상기 플라스마 디스플레이 패널의 X전극을 충/방전시키도록 구동하는 X전극 서스테인 구동 회로를 포함함을 특징으로 한다.

이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예에 대하여 상세히 설명하기로 한다.

도 3에 도시된 바와 같이, 본 발명에 의한 전압 스트레스를 개선한 고효율 플라스마 디스플레이 패널의 서스테인 구동 장치는 전력 회수부(31), 서스테인 스위칭부(32) 및 플라스마 디스플레이 패널(33)을 구비한다.

전력 회수부(31)는 본 발명에 따른 전력 회수 시퀀스에 상응하여, 서스테인 모드를 구성하는 충전 및 방전 모드를 세분화시킨 제1충전 모드(pre-charging 모드)와 제2충전 모드(post-charging 모드) 및 제1방전 모드(pre-discharging 모드)와 제2방전 모드(post-discharging 모드)에서 각각 상이한 공진 경로를 형성하여 제1,2단자를 경유하여 플라스마 디스플레이 패널을 충/방전시키는 역할을 실행한다.

그리고, 전력 회수부(31)는 세부적으로, 상기 제1단자 및 상기 제2단자에 연결된 제1,2인덕터(L1, L2), 상기 제1,2인덕터의 단자에 각각 연결되어, 상기 소정 의 전력 회수 시퀀스에 상응하여 전류를 쌍방향으로 스위칭하기 위한 제5,6 스위치[(Sr1, Sf1), (Sr2, Sf2)], 4개의 캐패시터(Cd1, Cd2, Cu2, Cu1)를 포함하여, 제1,2,3,4캐패시터를 순차적으로 직렬로 연결하고, 제1캐패시터(Cd1) 및 제4캐패시터(Cu1)의 양 끝 단자에 각각 접지선 및 서스테인 공급 전압(Vs)을 인가하고, 제1,2캐패시터 접속 단자(Cd1, Cd2) 및 제3,4캐패시터(Cu2, Cu1) 접속 단자에 제5,6스위치[(Sr1, Sf1), (Sr2, Sf2)]가 연결된 충전 소자 블록 및 전류를 단방향으로 스위칭하기 위한 2개의 다이오드(Dd, Du)를 직렬로 연결하여 양 끝 단자를 각각 상기 제1,2단자에 연결하고, 2개의 다이오드(Dd, Du)의 접속 단자를 제2,3캐패시터(Cd2, Cu2) 접속 단자에 연결하여 제1충전 모드와 제2충전 모드의 분리 및 상기 제2방전 모드와 제2방전 모드를 분리시키기 위하여 모드 분리부(Dd, Du)를 포함한다.

서스테인 스위칭부(32)는 본 발명에 따른 유지 방전 시퀀스에 상응하여 전력 회수부(31)의 제1,2단자를 플라즈마 디스플레이 패널에 접속시키기 위한 역할을 실행한다.

그리고, 서스테인 스위칭부(32)는 구체적으로, 4개의 스위치를 포함하며, 제1,2,3,4스위치(Sd1, Sd2, Su2, Su1)를 순차적으로 직렬로 연결하고, 제1스위치(Sd1) 및 제4스위치(Su1)의 양 끝 단자에 각각 접지선 및 서스테인 공급 전압(Vs)을 인가하고, 제2,3스위치(Sd2, Su2) 접속 단자에 플라즈마 디스플레이 패널을 연결하며, 제1,2스위치(Sd1, Sd2) 접속단자 및 제3,4스위치(Su2, Su1) 접속 단자에 각각 전력 회수부(31)의 제1,2단자를 연결하는 회로 구조를 갖는다.

전력 회수부(31) 및 서스테인 스위칭부(32)는 플라즈마 디스플레이 패널의 사이드 1 전극에만 도시하였으나, 플라즈마 디스플레이 패널의 사이드 2 전극에도 사이드 1 전극의 회로와 동일한 서스테인 구동 회로를 갖는다.

도 5(a)-(j)에서 빗금친 부분은 게이트 신호의 도통, 차단이 관계없는 구간이다. 해석을 위하여 충전 소자 블록의 각 캐패시터(Cd1, Cd2, Cu2, Cu1)의 양단 전압은 각각 +Vs/4로 유지되고, 전력 회수부(31)의 인덕터(L1, L2)는 같은 인덕턴스 값을 갖는다고 가정한다. 도 6a 내지 도 6h는 본 발명에 의한 스위칭 시퀀스에 따른 각 모드별 동작회로를 나타낸다. 반주기 동안의 각 게이트 신호 인가시 각 모드별 본 발명에 동작 원리를 설명하면 다음과 같다.

1) 모드 1(t0-t1; pre-charging)

t=t0 직전의 시간에는 스위치 Sd1과 Sd2는 도통되어 패널 전압 Vp는 0V로 유지되어 있다. 스위치 Su1과 Su2 각각의 드레인-소오스 전압은 +Vs/2이다. t=t0에서, 스위치 Sd1이 차단되고, 전력회수부 스위치 Sr1이 도통되면, 도 6a에 도시된 바와 같이, Cd1-Sr1-Df1-L1-Sd2-Cp의 공진 경로를 통해 PDP 캐패시터 Cp가 충전되고, 패널 전압 Vp, 인덕터 L1의 전류 iL1은 각각 수학식 1,2와 같이 표현된다.

$$\text{수학식 1} \\ v_p(t) = \frac{V_s}{4} (1 - \cos \omega_n t)$$

$$\text{수학식 2} \\ i_{L1}(t) = \frac{V_s}{4Z_n} \sin \omega_n t$$

수학식 1,2에서 ω_n 및 Z_n 은 수학식 3과 같이 표현된다.

$$\text{수학식 3} \\ \omega_n = \frac{1}{\sqrt{LC_p}} \quad Z_n = \sqrt{\frac{L}{C_p}}$$

패널 전압 V_p 는 0V에서 $+V_s/2$ 까지 증가하게 되고, 패널의 전류 i_p 는 $V_s/(4 \cdot Z_n)$ 의 최대 값으로 제한된다. $t=t_1$ 에서 V_p 는 $+V_s/2$ 가 되면 모드 1은 끝난다.

2) 모드 2(t_1-t_2 ; $+V_s/2$ 모드)

도 6b에 도시된 바와 같이, $t=t_1$ 에서 스위치 S_{d2} 는 차단되고, S_{u2} 는 드레인-소오스 양단 전압이 영전압 스위칭(zero voltage switching) 조건으로 도통된다. 패널의 전압 V_p 는 $+V_s/2$ 로 유지한다. 고주파 동작을 위해 모드 2의 구간은 되도록 짧게 게이트 신호를 설계한다.

3) 모드 3(t_2-t_3 ; post-charging)

$t=t_2$ 에서 전력회수부 스위치 S_{r2} 가 도통되면 모드 3이 시작된다. 그러면, 도 6c에 도시된 바와 같이, 공진 경로 $Cd1-Cd2-Cu2-Sr2-Df2-L2-Su2-Cp$ 에 의하여 패널 전압은 $+V_s/2$ 에서 상승하게 된다. 모드 3에서 패널 전압 V_p , 인덕터 L_2 의 전류 i_{L2} 는 각각 수학식 4,5와 같이 표현된다.

수학식 4

$$V_p(t) = \frac{V_s}{4} (3 - \cos \omega_n t)$$

수학식 5

$$i_{L2}(t) = \frac{V_s}{4Z_n} \sin \omega_n t$$

이에 따라서, 패널 전압 V_p 는 $+V_s/2$ 에서 $+V_s$ 까지 증가하게 되고, 패널 전류 i_p 는 모드 1에서처럼 $V_s/(4 \cdot Z_n)$ 의 최대 값으로 제한된다. $t=t_3$ 에서 V_p 는 $+V_s$ 가 되면 모드 3은 끝난다. 모드 1의 구간과 모드 3의 구간의 길이(duration)는 같다.

4) 모드 4(t_3-t_4 ; 패널 발광)

$t=t_3$ 에서 S_{u1} 은 영전압 스위칭 조건으로 도통된다. 도 6d에 도시된 바와 같이, 모드 4에서 패널 전압 V_p 는 V_s 로 유지되고, PDP의 유지 방전 전류가 흐르게 된다. 모드 4의 기간은 PDP의 방전 물질에 따라 결정되고, 통상 1.7us 이상 되도록 한다.

5) 모드 5(t_4-t_5 ; pre-discharging)

$t=t_4$ 에서 스위치 S_{u2} 는 차단되고, 전력회수부 스위치 S_{f2} 가 도통된다. 이에 따라서 도 6e에 도시된 바와 같이, 공진 경로 $Cp-Su2-L2-Sf2-Dr2-Cu2-Cd2-Cd1$ 로 패널은 방전한다. 모드 5에서 패널 전압 V_p , 인덕터 L_2 의 전류 i_{L2} 는 각각 수학식 6, 7과 같이 표현된다.

수학식 6

$$V_p(t) = \frac{V_s}{4} (3 + \cos \omega_n t)$$

수학식 7

$$i_{L2}(t) = -\frac{V_s}{4Z_n} \sin \omega_n t$$

모드 5에서 패널 전압 V_p 는 $+V_s$ 에서 $+V_s/2$ 까지 감소하게 되고, 패널의 방전 전류는 $V_s/(4 \cdot Z_n)$ 로 제한된다. $t=t_5$ 에서 V_p 는 $+V_s/2$ 로 되고 모드 5는 끝난다.

6) 모드 6(t_5-t_6 ; $+V_s/2$ 모드)

도 6f에 도시된 바와 같이, $t=t_5$ 에서 스위치 Su_2 는 차단되고, Sd_2 는 영전압 스위칭(zero voltage switching) 조건으로 도통된다. 패널의 전압 V_p 는 $+V_s/2$ 로 유지된다. 모드 2에서처럼 고주파 동작을 위해 모드 6의 구간은 되도록 짧게 게이트 신호를 설계한다.

7) 모드 7(t_6-t_7 ; post-discharging)

$t=t_6$ 에서 전력회수부 스위치 Sf_2 가 도통되면 모드 7이 시작된다. 도 6g에 도시된 바와 같이, 공진 경로 $C_p-Sd_2-L_1-Sf_1-Dr_1-Cd_1$ 로 패널 전압은 $+V_s/2$ 에서 0으로 하강하게 된다. 모드 7에서 패널 전압 V_p , 인덕터 L_2 의 전류 i_{L2} 는 각각 수학식 8, 9와 같이 표현된다.

수학식 8

$$v_p(t) = \frac{V_s}{4} (1 + \cos \omega_n t)$$

수학식 9

$$i_{L2}(t) = -\frac{V_s}{4Z_n} \sin \omega_n t$$

$t=t_7$ 에서 V_p 는 0이 되면 모드 7은 끝난다. 이 때 모드 5의 구간과 모드 7의 구간의 길이(duration)는 같다.

8) 모드 8(t_7-t_8 ; 접지 모드)

도 6h에 도시된 바와 같이, $t=t_7$ 에서 Sd_1 는 영전압 스위칭 조건으로 도통되고, 패널 전압은 0V가 된다.

이와 같은 방법에 의하여 다음 반주기 동안 플라즈마 디스플레이 패널의 사이드 2 서스테인 구동부가 모드 1에서 모드 8을 반복하여 패널에 고주파 AC 전압을 인가하게 된다.

도 4는 도 3에 도시된 본 발명에 의한 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치를 적용한 플라즈마 디스플레이 패널 구동 시스템을 도시한 것으로, Y전극 서스테인 구동 회로(41), 분리 및 리세트 회로(42), 스캔 펄스 발생회로(43), X전극 서스테인 구동 회로(44) 및 플라즈마 디스플레이 패널(45)로 구성된다.

Y전극 서스테인 구동 회로(41) 및 X전극 서스테인 구동 회로(44)는 도 3에서 이미 상세히 설명하였으므로 반복 설명을 생략한다.

분리 및 리세트 회로(42)의 분리회로(Y_p)는 서스테인 구간과 다른 구간(어드레스 및 리세트 구간)의 회로 동작을 분리시키기 위한 스위치 회로이며, 리세트 회로(Y_{fr} , Y_{rr})는 리세트 구간 동안 패널에 램프형 고압 전압을 인가하기 위한 스위치 회로이다.

그리고, 스캔 펄스 발생회로(43)는 어드레스 구간동안에 PDP 스크린의 수평 동기신호 인가하도록 동작하고, 그 외의 구간에서는 단락된다.

도 4의 실시 예에서도 도 3에서 이미 설명한 바와 같은 방법으로 서스테인 구간에 실행되는 충전 및 방전 모드를 각각 2개의 충전(pre-charging, post-charging) 및 방전(pre-discharging, post-discharging) 모드로 세분화시키고, 세분화된 2개의 충전 모드 및 2개의 방전 모드는 쌍으로 상호 서로 다른 2개의 인덕터(L1, L2)를 경유하여 공진 경로를 형성하도록 설계되어, 반도체 소자에 인가되는 전압 스트레스를 기존의 플라즈마 디스플레이 구동 회로에 비하여 1/2로 줄였다.

표 1은 동일한 서스테인 전압 규격에서 제안된 본 발명에 의한 서스테인 구동 회로와 종래의 기술에 의한 서스테인 구동 회로와의 소자 전압/전류 및 무효 전력을 비교한 것이다.

(표 1)

		본 발명에 의한 회로	종래 기술에 의한 회로	비교
서스테인 스위치	피크 전압(V)	$V_s/2$	V_s	1/2 전압 감소
	피크 전류(A)	I_d	I_d	동일
전력회수부 스위치	피크 전압(V)	$V_s/4$	$V_s/2$	1/2 전압 감소
	피크 전류(A)	$V_s/(4 \cdot Z_n)$	$V_s/(2 \cdot Z_n)$	동일
다이오드	피크 전압(V)	$V_s/4$	$V_s/2$	1/2 전압 감소
	피크 전류(A)	$V_s/(4 \cdot Z_n)$	$V_s/(4 \cdot Z_n)$	동일
무효 전력	W	$C_p(V_s/2)^2 \cdot F_s / (2Z_n^*)$	$C_p V_s^2 \cdot F_s / (2Z_n^*)$	1/2 전력 감소

표 1에서 알 수 있듯이 본 발명에 의한 유지 방전 회로의 특징은 모든 반도체의 전압 스트레스가 절반으로 줄어, 고성능 저가격의 반도체 소자를 쉽게 적용할 수 있고, PDP의 무효 전력이 기존의 회로에 비하여 절반으로 줄게 된다.

본 발명은 방법, 장치, 시스템 등으로서 실행될 수 있다. 소프트웨어로 실행될 때, 본 발명의 구성 수단들은 필요한 작업을 실행하는 코드 세그먼트들이다. 프로그램 또는 코드 세그먼트들은 프로세서 판독 가능 매체에 저장되어 질 수 있으며 또는 전송 매체 또는 통신망에서 반송파와 결합된 컴퓨터 데이터 신호에 의하여 전송될 수 있다. 프로세서 판독 가능 매체는 정보를 저장 또는 전송할 수 있는 어떠한 매체도 포함한다. 프로세서 판독 가능 매체의 예로는 전자 회로, 반도체 메모리 소자, ROM, 플래시 메모리, E² PROM, 플로피 디스크, 광 디스크, 하드 디스크, 광 섬유 매체, 무선 주파수(RF) 망, 등이 있다. 컴퓨터 데이터 신호는 전자 망 채널, 광 섬유, 공기, 전자계, RF 망, 등과 같은 전송 매체 위로 전파될 수 있는 어떠한 신호도 포함된다.

첨부된 도면에 도시되어 설명된 특징의 실시 예들은 단지 본 발명의 예로서 이해되어 지고, 본 발명의 범위를 한정하는 것이 아니며, 본 발명이 속하는 기술 분야에서 본 발명에 기술된 기술적 사상의 범위에서도 다양한 다른 변경이 발생될 수 있으므로, 본 발명은 보여지거나 기술된 특징의 구성 및 배열로 제한되지 않는 것은 자명하다.

발명의 효과

상술한 바와 같이, 본 발명에 의하면 서스테인 모드를 구성하는 충전 및 방전 모드를 세분화시킨 각각 제1충전 모드(pre-charging 모드)와 제2충전 모드(post-charging 모드) 및 제1방전 모드(pre-discharging 모드)와 제2방전 모드(post-discharging 모드)에서 쌍으로 서로 다른 인덕터를 경유하여 각각 상이한 공진 경로를 형성하도록 플라즈마 디스플레이 구동 회로를 설계함으로써, 종래의 기술에 비하여 회로 소자에 인가되는 전압 스트레스를 절반으로 줄일 수 있는 효과가 발생되며, 이로 인하여 고성능 저가격의 반도체 소자를 이용할 수 있는 효과가 발생되며, 플라즈마 디스플레이 패널의 무효 전력 또한 절반으로 줄일 수 있는 효과가 발생된다.

(57) 청구의 범위

청구항 1.

플라즈마 디스플레이 패널 구동 시스템의 서스테인 구동 장치에 있어서,

소정의 유지 방전 시퀀스에 상응하여 전력 회수부의 제1,2단자를 플라즈마 디스플레이 패널에 접속시키기 위한 서스테인 스위칭부; 및

소정의 전력 회수 시퀀스에 상응하여, 서스테인 모드를 구성하는 충전 및 방전 모드를 각각 제1충전 모드와 제2충전 모드 및 제1방전 모드와 제2방전 모드로 세분화시키며, 상기 제1,2충전 모드 및 제1,2방전 모드는 각각 상이한 공진 경로를 형성하여 제1,2단자를 경유하여 상기 플라즈마 디스플레이 패널을 충/방전시키기 위한 전력 회수부를 포함함을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

청구항 2.

제1항에 있어서, 상기 전력 회수부는 2개의 인덕터를 포함하며, 상기 제1충전 모드와 상기 제2충전 모드에서 서로 다른 인덕터를 경유하여 공진 경로를 형성함을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

청구항 3.

제1항에 있어서, 상기 전력 회수부는 2개의 인덕터를 포함하며, 상기 제1방전 모드와 상기 제2방전 모드에서 서로 다른 인덕터를 경유하여 공진 경로를 형성함을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

청구항 4.

제1항에 있어서, 상기 제1충전 모드의 구간 길이와 제2충전 모드의 구간 길이는 같게 상기 전력 회수 시퀀스를 설계함을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

청구항 5.

제1항에 있어서, 상기 제1방전 모드의 구간 길이와 제2방전 모드의 구간 길이는 같게 상기 전력 회수 시퀀스를 설계함을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

청구항 6.

제1항에 있어서, 상기 제1충전 모드와 제2충전 모드의 분리 및 상기 제2방전 모드와 제2방전 모드를 분리시키기 위하여 각각 인덕터를 경유하지 않는 경로를 형성하는 모드를 부가함을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

청구항 7.

제1항에 있어서, 상기 서스테인 스위칭부는

4개의 스위치를 포함하며, 제1,2,3,4스위치를 순차적으로 직렬로 연결하고, 제1스위치 및 제4스위치의 양 끝 단자에 각각 접지선 및 서스테인 공급 전압을 인가하고, 제2,3스위치 접속 단자에 플라즈마 디스플레이 패널을 연결하며, 제1,2스위치 접속단자 및 제3,4스위치 접속 단자에 각각 전력 회수부의 제1,2단자를 연결함을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

청구항 8.

제7항에 있어서, 상기 제1충전 모드에서는 제2스위치가 도통되고 나머지 서스테인 스위치들은 차단되고, 상기 제2충전 모드에서는 제3스위치가 도통되고 나머지 서스테인 스위치들은 차단되도록 상기 유지 방전 시퀀스를 설계함을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

청구항 9.

제7항에 있어서, 상기 제1방전 모드에서는 제3스위치가 도통되고 나머지 서스테인 스위치들은 차단되고, 상기 제2방전 모드에서는 제2스위치가 도통되고 나머지 서스테인 스위치들은 차단되도록 상기 유지 방전 시퀀스를 설계함을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

청구항 10.

제1항에 있어서, 상기 전력 회수부는

상기 제1단자 및 상기 제2단자에 연결된 제1,2인덕터;

상기 제1,2인덕터의 단자에 각각 연결되어, 상기 소정의 전력 회수 시퀀스에 상응하여 전류를 쌍방향으로 스위칭하기 위한 제5,6스위치;

4개의 캐패시터를 포함하여, 제1,2,3,4캐패시터를 순차적으로 직렬로 연결하고, 제1캐패시터 및 제4캐패시터의 양 끝 단자에 각각 접지선 및 서스테인 공급 전압을 인가하고, 제1,2캐패시터 접속 단자 및 제3,4캐패시터 접속 단자에 제5,6스위치가 연결된 충전 소자 블록; 및

전류를 단방향으로 스위칭하기 위한 2개의 다이오드를 직렬로 연결하여 양 끝 단자를 각각 상기 제1,2단자에 연결하고, 2개의 다이오드의 접속 단자를 제2,3캐패시터 접속 단자에 연결하여 제1충전 모드와 제2충전 모드의 분리 및 상기 제2방전 모드와 제2방전 모드를 분리시키기 위하여 모드 분리부를 포함함을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

청구항 11.

제7항 또는 제10항에 있어서, 상기 제1,2,3,4,5,6스위치는 MOSFET 스위치임을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

청구항 12.

제11항에 있어서, 상기 MOSFET 스위치들은 영전압 스위칭(zero voltage switching) 조건으로 도통됨을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

청구항 13.

제1항에 있어서, 상기 제1충전 모드 및 상기 제2충전 모드에서 플라즈마 디스플레이 패널의 최대 충전 전압을 1/2씩 나누어 각각 충전시키도록 상기 전력 회수 시퀀스를 설계함을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

청구항 14.

제1항에 있어서, 상기 제1방전 모드 및 상기 제2방전 모드에서 플라즈마 디스플레이 패널의 최대 충전 전압을 1/2씩 나누어 각각 방전시키도록 상기 전력 회수 시퀀스를 설계함을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

청구항 15.

2개의 인덕터를 구비하는 전력 회수 회로를 포함하며, 리세트 구간, 어드레스 구간 및 서스테인 구간을 반복하는 스위칭 시퀀스를 갖는 플라즈마 디스플레이 패널 구동 방법에 있어서,

상기 서스테인 구간에서 실행되는 충전 및 방전 모드를 각각 제1충전 모드와 제2충전 모드 및 제1방전 모드와 제2방전 모드로 세분화시키고, 상기 제1,2충전 모드는 서로 다른 인덕터를 경유하여 공진 경로를 형성하고, 제1,2방전 모드 또한 서로 다른 인덕터를 경유하여 각기 다른 공진 경로를 형성하여 상기 플라즈마 디스플레이 패널을 충/방전시키도록 스위칭 시퀀스를 제어함을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널 구동 방법.

청구항 16.

제15항에 있어서, 상기 제1충전 모드의 구간 길이와 제2충전 모드의 구간 길이는 같게 상기 전력 회수 시퀀스를 설계함을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널 구동 방법.

청구항 17.

제15항에 있어서, 상기 제1방전 모드의 구간 길이와 제2방전 모드의 구간 길이는 같게 상기 전력 회수 시퀀스를 설계함을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널 구동 방법.

청구항 18.

제15항에 있어서, 상기 제1충전 모드와 제2충전 모드의 분리 및 상기 제2방전 모드와 제2방전 모드를 분리시키기 위하여 각각 인덕터를 경유하지 않는 경로를 형성하는 모드를 부가함을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널 구동 방법.

청구항 19.

제15항에 있어서, 상기 제1충전 모드 및 상기 제2충전 모드에서 플라즈마 디스플레이 패널의 최대 충전 전압을 1/2씩 나누어 각각 충전시키도록 상기 전력 회수 시퀀스를 설계함을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널 구동 방법.

청구항 20.

제15항에 있어서, 상기 제1방전 모드 및 상기 제2방전 모드에서 플라즈마 디스플레이 패널의 최대 충전 전압을 1/2씩 나누어 각각 방전시키도록 상기 전력 회수 시퀀스를 설계함을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널 구동 방법.

마 디스플레이 패널 구동 방법.

청구항 21.

리세트 구간, 어드레스 구간 및 서스테인 구간을 반복하는 스위칭 시퀀스에 의한 플라즈마 디스플레이 패널 구동 시스템에 있어서,

서스테인 구간 동안에 상기 플라즈마 디스플레이 패널의 Y전극에 고주파의 구형파 전압을 인가시키기 위하여 실행되는 충전 및 방전 모드를 각각 제1충전 모드와 제2충전 모드 및 제1방전 모드와 제2방전 모드로 세분화시키고, 상기 제1,2충전 모드는 서로 다른 인덕터를 경유하여 공진 경로를 형성하고, 제1,2방전 모드 또한 서로 다른 인덕터를 경유하여 각기 다른 공진 경로를 형성하여 상기 플라즈마 디스플레이 패널의 Y전극을 충/방전시키도록 구동하는 Y전극 서스테인 구동 회로;

서스테인 구간과 어드레스 구간 및 리세트 구간의 회로 동작을 분리시키고, 리세트 구간 동안에 램프형 고압 전압을 인가시키기 위한 분리 및 리세트 회로;

어드레스 구간 동안 수평동기신호를 인가하고, 그 외의 구간에서는 단락되는 스캔 펄스 발생회로; 및

서스테인 구간 동안에 상기 플라즈마 디스플레이 패널의 X전극에 고주파의 구형파 전압을 인가시키기 위하여 실행되는 충전 및 방전 모드를 각각 제1충전 모드와 제2충전 모드 및 제1방전 모드와 제2방전 모드로 세분화시키고, 상기 제1,2충전 모드는 서로 다른 인덕터를 경유하여 공진 경로를 형성하고, 제1,2방전 모드 또한 서로 다른 인덕터를 경유하여 각기 다른 공진 경로를 형성하여 상기 플라즈마 디스플레이 패널의 X전극을 충/방전시키도록 구동하는 X전극 서스테인 구동 회로를 포함함을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널 구동 시스템.

청구항 22.

제21항에 있어서, 상기 Y전극 서스테인 구동 회로 또는 X전극 서스테인 구동 회로는

상기 제1단자 및 상기 제2단자에 연결된 제1,2인덕터;

상기 제1,2인덕터의 단자에 각각 연결되어, 상기 소정의 전력 회수 시퀀스에 상응하여 전류를 쌍방향으로 스위칭하기 위한 제5,6스위치;

4개의 캐패시터를 포함하여, 제1,2,3,4캐패시터를 순차적으로 직렬로 연결하고, 제1캐패시터 및 제4캐패시터의 양 끝 단자에 각각 접지선 및 서스테인 공급 전압을 인가하고, 제1,2캐패시터 접속 단자 및 제3,4캐패시터 접속 단자에 제5,6스위치가 연결된 충전 소자 블록; 및

전류를 단방향으로 스위칭하기 위한 2개의 다이오드를 직렬로 연결하여 양 끝 단자를 각각 상기 제1,2단자에 연결하고, 2개의 다이오드의 접속 단자를 제2,3캐패시터 접속 단자에 연결하여 제1충전 모드와 제2충전 모드의 분리 및 상기 제2 방전 모드와 제2방전 모드를 분리시키기 위하여 모드 분리부를 포함함을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널 구동 시스템.

청구항 23.

제21항에 있어서, 상기 제1충전 모드의 구간 길이와 제2충전 모드의 구간 길이는 같게 상기 전력 회수 시퀀스를 설계함을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널 구동 시스템.

청구항 24.

제21항에 있어서, 상기 제1방전 모드의 구간 길이와 제2방전 모드의 구간 길이는 같게 상기 전력 회수 시퀀스를 설계함을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널 구동 시스템.

청구항 25.

제21항에 있어서, 상기 제1충전 모드와 제2충전 모드의 분리 및 상기 제2방전 모드와 제2방전 모드를 분리시키기 위하여 각각 인덕터를 경유하지 않는 경로를 형성하는 모드를 부가함을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널 구동 시스템.

청구항 26.

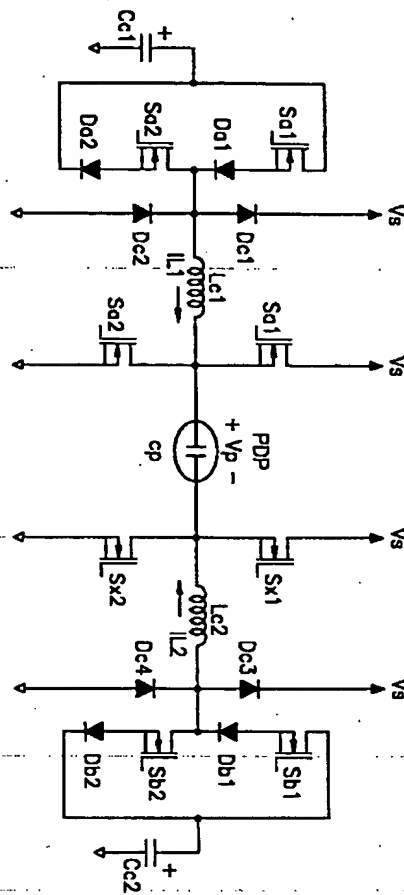
제21항에 있어서, 상기 제1충전 모드 및 상기 제2충전 모드에서 플라즈마 디스플레이 패널의 최대 충전 전압을 1/2씩 나누어 각각 충전시키도록 상기 전력 회수 시퀀스를 설계함을 특징으로 하는 전압 스트레스를 개선한 고효율 플라즈마 디스플레이 패널 구동 시스템.

청구항 27.

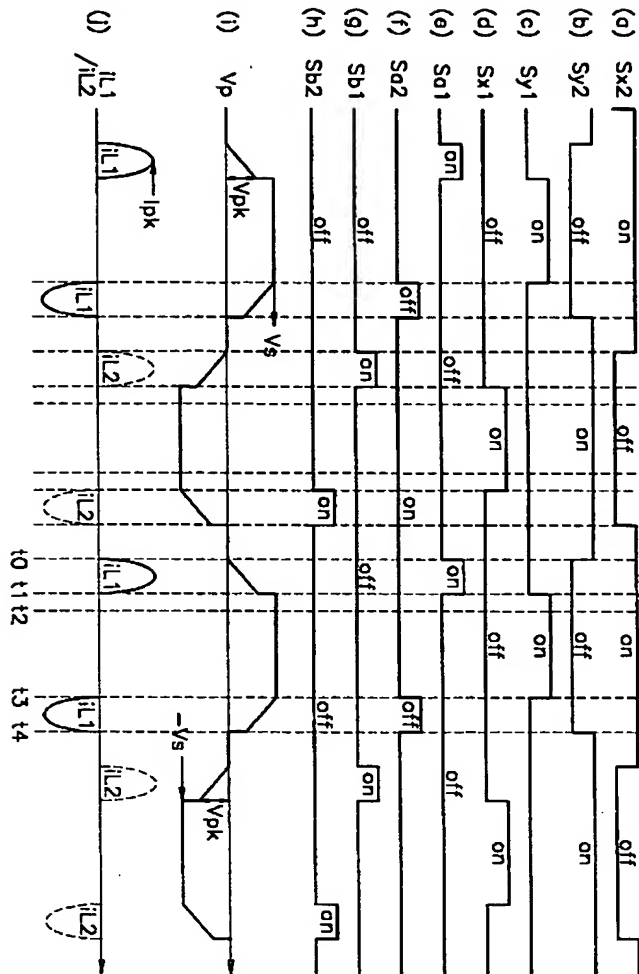
제21항에 있어서, 상기 제1방전 모드 및 상기 제2방전 모드에서 플라스마 디스플레이 패널의 최대 충전 전압을 1/2씩 나누어 각각 방전시키도록 상기 전력 회수 시퀀스를 설계함을 특징으로 하는 전압 스트레스를 개선한 고효율 플라스마 디스플레이 패널 구동 시스템.

도면

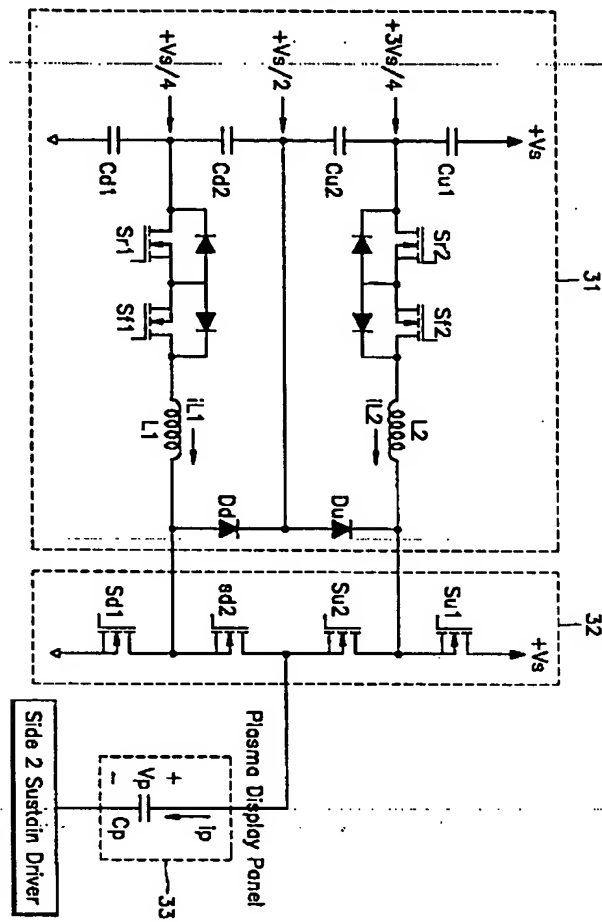
도면1



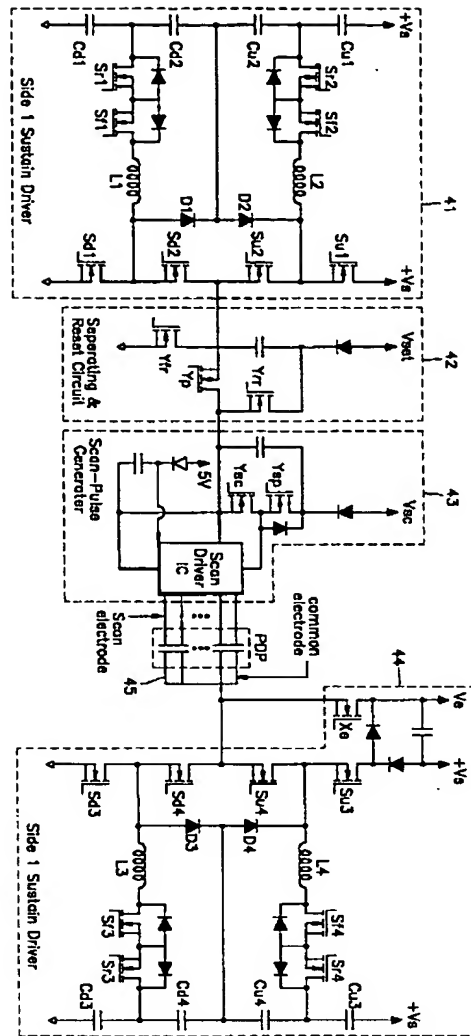
도면 2



도면 3



도면 4



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.